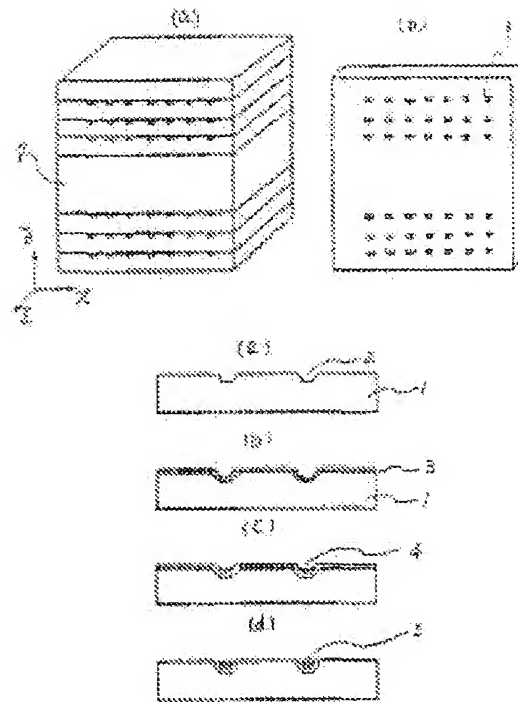


Abstract of JP 63107057 (A)

PURPOSE: To obtain a substrate which has penetrating conductors with high array position accuracy without limitation of substrate thickness, by slicing along a plane crossing with a junction plane after a plurality of single crystal substrates including substrates with grooves in them are laminated and joined.

CONSTITUTION: After a plurality of single crystal substrates containing a substrate 1 on the surface of which a groove 2 is formed are laminated and joined, cutting is performed along a plane crossing a lamination plane. For example, on an Si wafer 1, grooves of 50μm wide and about 20μm deep are formed in parallel with 0.5 pitch. SiO₂ 3 is formed on the inner surface of the groove 2, and Au 4 is deposited on the inside of the grooves, which is grown in thickness up to 15μm by plating.; On the upper part of Au, SiO₂ 5 is sputtered, the conductive layer is completely enveloped by an insulating body, SiO₂ other than the groove part is eliminated, and dry etching is performed to make the substrate surface flat. Substrates obtained in this manner are laminated and joined, the block is sliced in parallel to the xy plane, and a single crystal wafer having penetrating conductor conductor parts 6 is obtained.



⑫ 公開特許公報(A)

昭63-107057

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和63年(1988)5月12日

H 01 L 25/08
27/00

3 0 1

B-7638-5F
B-8122-5F

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 単結晶基板

⑭ 特 願 昭61-251636

⑮ 出 願 昭61(1986)10月24日

⑯ 発 明 者 佐 藤 一 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 水 石 賢 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 安 永 守 利 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 巖 迫 光 紀 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

単結晶基板

2. 特許請求の範囲

1. 表面に隣を有する基板を含む複数枚の単結晶基板を積層・接合した後、積層面と交わる平面で改めて切断して得ることを特徴とする単結晶基板。

2. 特許請求の範囲1の単結晶基板において、貫通穴の内面に絶縁体と導電体を層状に形成して成ることを特徴とする、貫通導電線路を有する単結晶基板。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体回路基板に係り、特に複数の基板を積層して高密度に実装するのに好適な単結晶基板に関する。

(従来の技術)

Si等の半導体回路基板を積層して高密度に実装するためには、基板の一面に形成された回路か

らの信号を基板の裏面側に引き出すための貫通導電部を形成する必要がある。そのための技術として、Si基板の厚さ方向にA₁をマイグレーション(Migration)によつてドーブした構造が雑誌「コンピュータ(COMPUTER)」, 1984年1月号, pp 89-81において論じられている。

(発明が解決しようとする問題点)

上記の従来技術では、A₁のマイグレーションの指向性が温度勾配に依存するため、裏面に貫通した位置の配列精度が基板の厚さに比例して劣ること、また、貫通可能な基板の厚さに制約があること、更に、A₁がドーブされた導電部の抵抗値が高いこと、などの問題があつた。

本発明の目的は、上記の諸問題を解決し、(1) 基板の厚さに制約が無く、高い配列位置精度で貫通導電部を持つ基板を得ること、および、(2) 基板の材料および、導電部の材料に選択の可能性を与え、十分に小さい抵抗値を持つ貫通導電部を基板と絶縁した状態で形成することを可能にすることにある。

〔問題点を解決するための手段〕

上記の目的は、貫通導体部の断面に相当する面を複数の単結晶基板の表面に形成し、これらを積層して接合し、しかる後、接合面と交わる平面でスライスして基板とすることにより達成される。
〔作用〕

貫通導体部の断面は、素材となる基板表面の上で平面的にパターンニングできるので、貫通する厚さに関する制約は実質的に無くなる。また、導体と基板とを絶縁することに関しても、基板表面へ異種の材料を重ねて成膜することができるので、材料的な制約が少なく、低抵抗の導体層を基板から容易に絶縁できる。更に、積層・接合した後の基板の切り出しに関しては、厚さを任意に選べる。またこの際、どのような厚さに切り出しても、その切り口には高い位置精度に配列した貫通導体の端面が得られる。

〔実施例〕

以下に本発明の一実施例を第1図および第2図によつて説明する。

をスパッタして、導体層を絶縁体で完全に含み込み、更に基板表面の溝以外の部分の SiO_2 を除去し、基板表面全面を平坦化するためにドライエッチングを施す(第2図(d))。

このようにして得た基板を積層し、第1図(a)に示すように重ねて接合する。接合にあたっては、各基板を固相で強固に接合するため、拡散接合等の手段をとることが望ましい。次いで第1図(a)のブロックを $x-y$ 平面に平行に 0.6mm の厚さにスライスすれば、第1図(b)のような貫通導体部6を有する単結晶ウエハが得られる。なお、このウエハの面方位は $\langle 100 \rangle$ であることは、素材の面方位との幾何学的関係から明白である。

なお、これらの貫通導体を有する単結晶ウエハでは、溝子領域を形成する必要に応じて、第1図に示す如く貫通導体を有しない適当な厚さの単結晶7を間にはさんで積層・接合できることは当然である。

また、貫通導体として上記の実施例では、Auを用いたが、これ以外にもNi、Ag等の金属が

本実施例では、厚さ 0.6mm 、面方位が $\langle 100 \rangle$ の単結晶Siウエハに、ウエハを貫通する信号・給電線を 0.5mm ピッチで配列する例を述べる。

素材としては、厚さ 0.5mm の $\langle 011 \rangle$ Siウエハを用いる。第2図(a)に示すようにウエハ1の裏面に、 $\langle 100 \rangle$ 方向に走る溝2を 0.5mm ピッチで平行して形成する。溝幅は $50\mu\text{m}$ 、溝深さは約 $20\mu\text{m}$ であり、これらはフォトリソエッチングの手法を用い、 HNO_3 、 KOH 等のエッチング液によつて形成される。次いで、溝の内面に絶縁被膜として SiO_2 を約 $3\mu\text{m}$ の厚さに形成する(第2図(b))。これは、熱酸化あるいはスパッタで形成することができる。次いで貫通用の導体として、第2図(c)の如くAu4を溝の内部に蒸着し、さらにメッキで $15\mu\text{m}$ の厚さに成長させる。 SiO_2 膜とAuとの密着性を得るため、Auの蒸着膜の下地として、Cr、あるいはTi/Ni等の金属を 500\AA 程度予め蒸着することは、必要に応じて選択し得る。

次いで導体層としてのAuの上部に SiO_2 5

使えるほか、不純物をドーピングしたSi等の半導体も使えることは明らかである。

また、本発明ではSi単結晶を対象としたが、GaAs等の他の半導体材料についても同様の方法によつて、貫通導体を形成することができる。

なお、本発明によつて得られた単結晶基板の上に電子回路を形成するさいには、貫通導体材料による表面の汚染を防ぐため、貫通穴を含む基板表面を、 SiO_2 等の被膜で覆っておくことが効果がある。すなわち、第3図に示すように、貫通導体を施けた基板の上下面を被膜8によつて完全に覆った状態で、電子回路を形成すればよい。第4図はこのようにして形成した基板内の回路9ならびに絶縁膜上の回路10を示している。被膜8ならびに回路10の材料はCVD法によつて積層される。回路を形成した後、貫通導体上面の被膜を除去し、配線層11をパターンニングすれば、貫通導体材料により基板表面を汚染することなく回路9、10が形成され、これらの回路から出た信号を貫通導体を經由して基板の裏面に導くことがで

きる。第4図はSiウエハを積み重ねて構成した3次元回路の実装形態を示すものであり、第1の基板1の裏面に達した信号は、第2の基板12へ、低融点はんだ13を介して送られる。

以上に述べたように、本発明は電子回路の3次元実装に好適な単結晶基板を提供するものであり、上記の第4図の実装形態に加えて、第5図、第6図のような実装形態をも可能にする。これらの実施例では、貫通孔の内部に予め導体層を形成することなく、第2図(a)の状態の基板素材をそのまま図(a)の如く積層・接合し、第1図(b)の如くスライスした基板を用いる。第5図の実施例ではこのようにして形成したスルーホールを有する2枚の基板14、15を金属ピン16および低融点はんだ17で接続した例を示している。また第6図は、第1の基板18の上にある発光素子19から出た光の信号20を、反射面21および、本発明によるスルーホール22を介して、第2の基板23の受光素子24に伝達する実装系を示している。また、この他にも、本発明のスルーホー

ルに光ファイバを通じることも可能である。

(発明の効果)

以上に述べた実施例から明らかなように、本発明によれば、以下の効果が得られる。

- (1) 基板の厚さとは無関係に、基板を貫通する信号・給電線を形成することができる。
- (2) 基板が厚くても、上記の信号・給電線の配列の位置精度は劣化しない。
- (3) 基板・貫通導体およびその周囲の絶縁体などの材料は積層できるので、材料の選択の余地が大きく、十分に低抵抗の貫通導体線を形成できる。
- (4) 貫通穴のピンチを基板の厚さとは無関係に小さくすることができる。

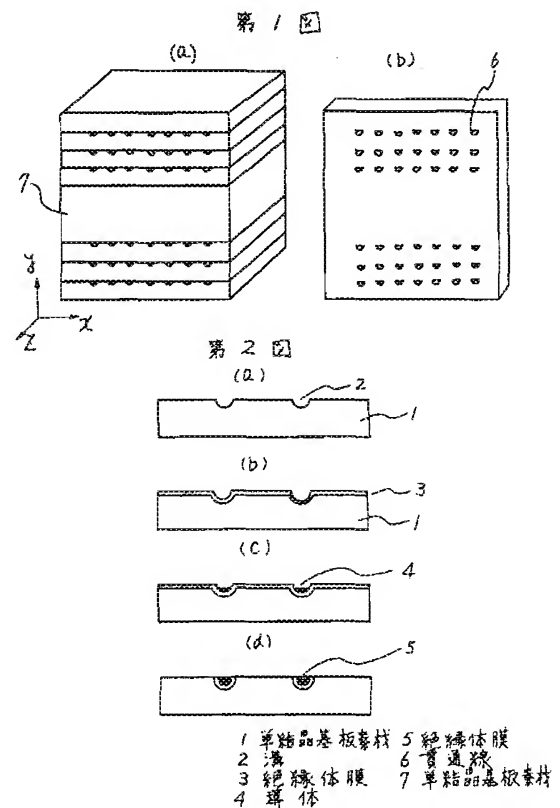
4. 図面の簡単な説明

第1図は、本発明の単結晶基板を形成する最終プロセスを示す概観図、第2図は貫通導体を形成するための前工程を示す断面図、第3図は貫通導体の上下面を一時的に被膜した本発明の単結晶基板の断面図、第4図～第6図は本発明の単結晶

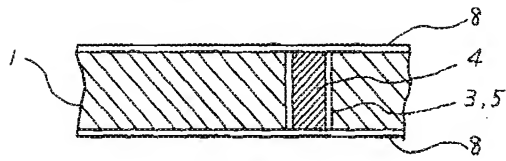
基板を用いた半導体回路基板の3次元実装形態の例を示す断面図である。

1、7…単結晶基板素材、3、5…絶縁体膜、4…導体、8…絶縁被膜、9、10…半導体回路、16…金属ピン、20…信号光、22…スルーホール。

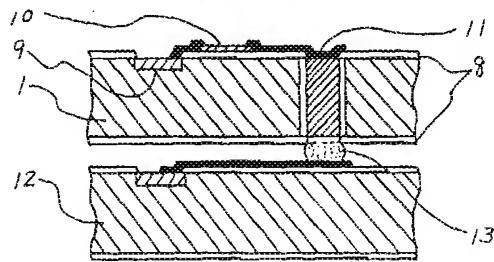
代理人 弁理士 小川勝男



第3図

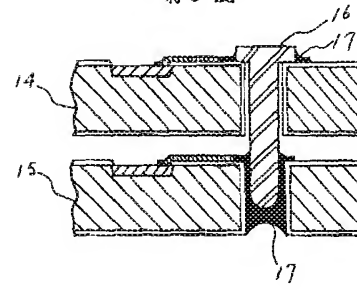


第4図

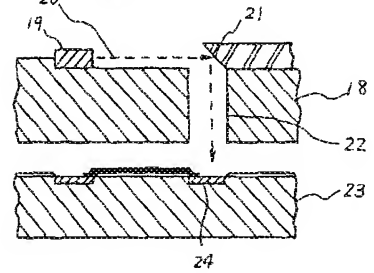


8 絶縁被膜
9 半導体回路
10 半導体回路

第5図



第6図



16 金属ピン
20 信号光
22 スリット